

DERWENT-ACC-NO: **1994-305483**

DERWENT-WEEK: 199438

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: **Faulty flip=flop** detection method using serial scanning  
chain - comparing output bit sequences of serial scan  
chain with predetermined sequence

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1993JP-0018504 (February 5, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06230075 A	August 19, 1994	N/A	005	G01R 031/28

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06230075A	N/A	1993JP-0018504	February 5, 1993

INT-CL (IPC): G01R031/28, H03K021/40

ABSTRACTED-PUB-NO: JP 06230075A

BASIC-ABSTRACT:

The flip=flops are arranged in a serial manner. The method first sets each flip=flop in the serial chain to a fixed value zero or one. Alternate flip=flops are preset.

The output bit pattern from the flip=flops is compared with the predetermined value. The changed bit position identifies the failed flip=flop.

ADVANTAGE - Reduces circuit complexity.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: FAULT FLIP=FLOP DETECT METHOD SERIAL SCAN CHAIN COMPARE  
OUTPUT BIT

SEQUENCE SERIAL SCAN CHAIN PREDETERMINED SEQUENCE

ADDL-INDEXING-TERMS:

BIT

DERWENT-CLASS: S01 U21

EPI-CODES: S01-G01A; U21-D02B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-240142

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-230075

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.<sup>5</sup>  
G 0 1 R 31/28  
// H 0 3 K 21/40

識別記号 庁内整理番号  
Z 8730-5E  
6912-2G

F I  
G 0 1 R 31/ 28

技術表示箇所  
G

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平5-18504

(22)出願日 平成5年(1993)2月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 河野 武司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 山川 雅男

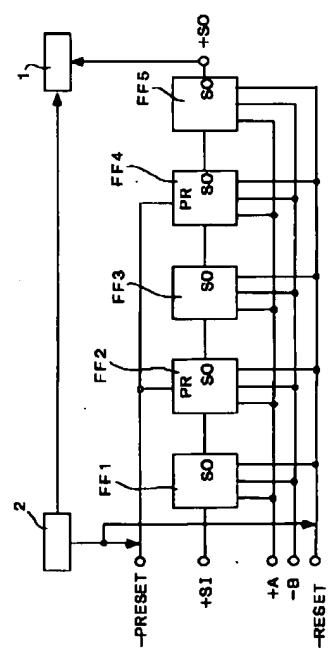
(54)【発明の名称】 シリアルスキャンチェーンにおける不良フリップフロップの検出方法

(57)【要約】

【目的】本発明はシリアルスキャンチェーンにおける不良フリップフロップの検出方法に関し、不良箇所の特定を簡単に行うことのできるようにすることを目的とする。

【構成】シリアルスキャンチェーンを構成するフリップフロップFFをリセット、プリセット可能に構成し、先ず、各フリップフロップFFを所定のビット値にセットした後、スキャンシフトし、次いで、前記シリアルスキャンチェーンからの出力ビット列とセットしたビット列とを比較して不良フリップフロップFFを特定するよう構成する。

本発明の実施例を示す図



1

## 【特許請求の範囲】

【請求項1】シリアルスキャンチェーンを構成するフリップフロップ(FF)をリセット、プリセット可能に構成し、

先ず、各フリップフロップ(FF)を所定のビット値にセットした後、スキャンシフトし、

次いで、前記シリアルスキャンチェーンからの出力ビット列とセットしたビット列とを比較して不良フリップフロップ(FF)を特定するシリアルスキャンチェーンにおける不良フリップフロップの検出方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、シリアルスキャンチェーンにおける不良フリップフロップの検出方法に関するものである。

## 【0002】

【従来の技術】従来のスキャンチェーンを図3に示す。この従来例において、スキャンチェーンは、複数のマスタスレーブフリップフロップFF1、FF2…を連結して構成される。

【0003】スキャンシフトは、+Aがマスタラッチのクロックとなっており、1段前のデータ(SO)を取り込み、-Bのスレーブラッチクロックにネガティブクロックを入れることで取り込んだデータを次段に出力する。

【0004】スキャンチェーンは、本シーケンスを繰り返して+SIから+SOへシフトする。なお、図3において2はLSI1内の組み合わせ論理回路を示す。従来、シリアルスキャンによる機能試験方法は、主として2つのテストステップにより行われる。すなわち、先ず、シリアルスキャンチェーンが正しくシフトされるか否かの確認を行い、その後、そのスキャンチェーンを使用してLSI全体の機能試験を行う。

【0005】ここで、初めのシリアルスキャンチェーンの動作確認でFAILした場合、その不良箇所を特定する方法がないため、不良箇所を顕微鏡で覗いて不良原因(パターンショート等)の明確化ができないという問題があった。

## 【0006】

【発明が解決しようとする課題】本発明は、以上の欠点を解消すべくなされたものであって、不良箇所の特定を簡単に行うことのできるシリアルスキャンチェーンにおける不良フリップフロップの検出方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明によれば上記目的は、実施例に対応する図1に示すように、シリアルスキャンチェーンを構成するフリップフロップFFをリセット、プリセット可能に構成し、先ず、各フリップフロップFFを所定のビット値にセットした後、スキャンシフ

2

トし、次いで、前記シリアルスキャンチェーンからの出力ビット列とセットしたビット列とを比較して不良フリップフロップFFを特定するシリアルスキャンチェーンにおける不良フリップフロップの検出方法を提供することにより達成される。

## 【0008】

【作用】シリアルスキャンチェーンを構成する各フリップフロップFFは、適宜にリセット、プリセットが可能であり、不良フリップフロップFFの検出に際して、先ず、各フリップフロップFFを"0"または"1"にセットする。

【0009】この工程によりシリアルスキャンチェーンは、所定のビット列にセットされることとなり、次いで、該シリアルスキャンチェーン内でスキャンシフトさせてシリアルスキャンチェーンからの出力ビット列を得る。

【0010】いずれかのフリップフロップFFが不良で、"0"または"1"のいずれかにホールドされていると、その前段の値がどのようなものであってもこれ以降、ホールドされた値が输出されることとなり、出力ビット列において値が不变となる部位に対応するフリップフロップFFが不良として特定される。

## 【0011】

【実施例】以下、本発明の望ましい実施例を添付図面に基づいて詳細に説明する。図1に本発明に係るスキャンチェーン構造を示す。この実施例において、スキャンチェーンは、マスタスレーブ・フリップフロップFF1、FF2…をパターンにより連結して構成される。

## 【0012】各フリップフロップFFは、上述した従来

30 例と同様に、+A端子へのポジティブパルス(クロック)の印加により1段前のデータをSI端子から取り込み、-B端子へのネガティブパルスの印加により、取り込んだデータを+SO端子に出力し、次段のフリップフロップFFに送出する。

【0013】また、各フリップフロップFFは相互に連結されるリセット端子(-RESET)を備えており、該端子にネガティブパルスを印加することにより、各フリップフロップFFは"0"にセットされる。

## 【0014】さらに、LSI1は、プリセット信号入力端子(-PRESET)を備える。このプリセット信号入力端子は、スキャンチェーン内のフリップフロップFFを1段おきに接続しており、該プリセット信号入力端子にネガティブパルスを印加することにより、接続されたフリップフロップFFは"1"にセットすることができるようになる。

【0015】以上の構成の下、スキャンチェーンのシフト動作の確認は以下の手順で行われる。すなわち、先ず、リセット端子にネガティブパルスを印加して全段のフリップフロップFFを"0"クリアする。

50 【0016】この後、プリセット信号入力端子にネガテ

ィブパルスを印加し、フリップフロップFFの1段おきを”1”にセットする(図2(a)参照)。この状態において、各フリップフロップFFが不良のために特定値をホールドしていない限り、図示の実施例においては、初段から順に、”0”、“1”、“0”、“1”、“0”となる。

【0017】次いで、スキャンチェーンにスキャンシフトをさせ、そのビットパターンを検出し、初期ビット列”0”、“1”、“0”、“1”、“0”と比較部1において比較する。この時の期待ビット列は、”01010”であり、これと異なったビット列が観察された場合には、スキャンチェーン内に不良フリップフロップFFがあることとなり、以下の方法で不良フリップフロップFFが特定される。

【0018】すなわち、例えば、図2においてハッキングを施して示す第2段のフリップフロップFF2が不良で”0”にホールドされている場合には、出力ビット列は、”01000”となる。

【0019】このように、出力ビット列は、期待ビット列に対して不良フリップフロップFFを境として不動となるために、不動箇所、またはその次段、本例においては、2段目、または3段目のフリップフロップFFを不良フリップフロップとして特定することができ、同様に、例えば、出力ビット列が、”01011”である場合には、1段目あるいは2段目が”1”にホールドされた不良フリップフロップFFであることを特定することができる。

【0020】なお、この場合、先ず、リセット端子のみを使用して全フリップフロップFFを”0”クリアしてスキャンシフトを行って出力パルス列を観察した後、プリセット信号入力端子にネガティブパルスを印加して1段おきにフリップフロップFFを”1”にセットし、この状態での出力パルス列を観察して、上記出力パルス列

と比較することにより、より正確に不良フリップフロップFFを特定することも可能である。

【0021】また、以上の実施例においては、プリセット端子を1つおきのフリップフロップFF2、FF4に接続し、全てのフリップフロップFF1、FF2…をリセットした後、プリセットして”01010”的ビット列にセットする場合を示したが、セットされるビット列は、”01010”的ように交互に”0”と”1”とをセットする場合限らず、任意に設定することが可能である。この場合、各フリップフロップFFの設定値を設定部2において設定し、この設定部2での設定ビット列と出力ビット列とを比較部1において比較するように構成することができる。

【0022】さらに、各フリップフロップFFのリセット端子、およびプリセット端子が回路設計者によりすでに使用されている場合には、例えば、図3に示すように、 NANDゲートを追加するだけで、容易に該端子を利用することができる。

### 【0023】

20 【発明の効果】以上の説明から明らかなように、本発明のシリアルスキャンチェーンにおける不良フリップフロップの検出方法によれば、容易に不良フリップフロップを特定することができ、さらに、単に-PRESET端子を追加するだけで実施できるので、回路オーバーヘッドの増加をもたらさない。

### 【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

【図2】図1の動作を示す説明図である。

【図3】図1の変形例を示す図である。

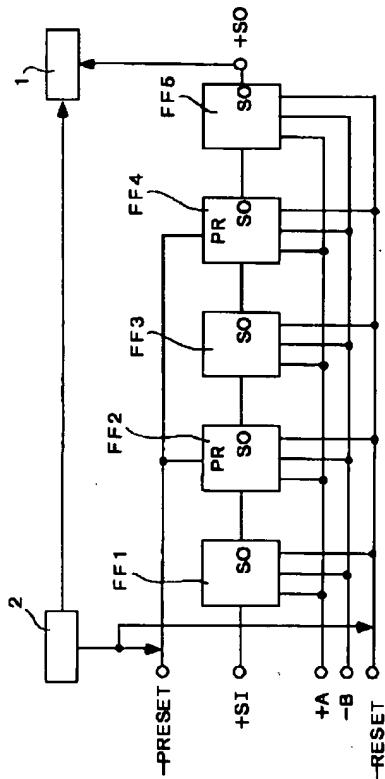
30 【図4】従来例を示す図である。

### 【符号の説明】

FF フリップフロップ

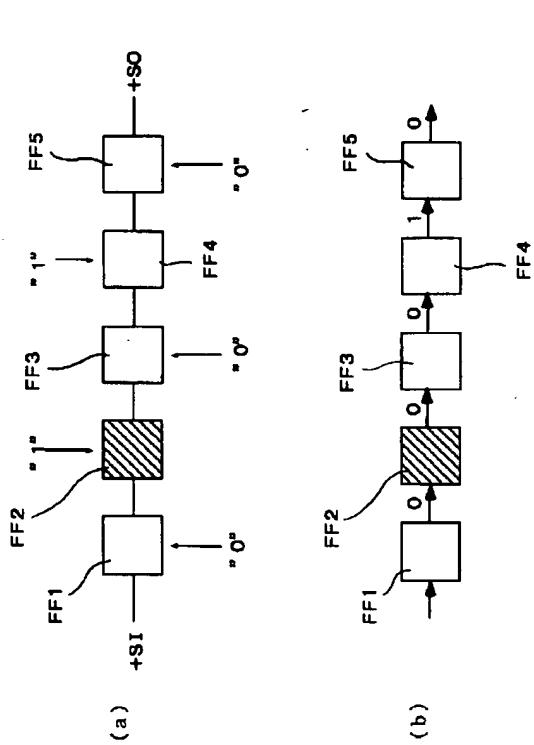
【図1】

本発明の実施例を示す図



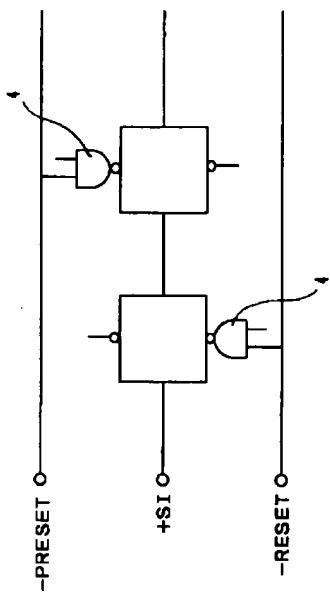
【図2】

図1の動作を示す説明図



【図3】

図1の変形例を示す図



【図4】

従来例を示す図

